

## INFORMAÇÕES GERAIS DO TRABALHO

**Título do Trabalho:** *Layout* de Transistores Semicondutores Nanoestruturados para Eletrônica de Resposta em Frequência Ultrarrápida

**Autor (es):** Ygor M. Fonseca, Rafael A. Costa, Rafael. V. T. da Nobrega, e Ulysses R. Duarte  
**Palavras-chave:** Eletrônica, Eletrônica de Alta Frequência, Dispositivos Semicondutores Nanoestruturados, Nanotransistor, Avaliação Computacional.

**Campus:** Formiga

**Área do Conhecimento (CNPq):** Engenharia Elétrica (3.04.00.00-7); Materiais e Dispositivos Semicondutores (3.04.01.02-0)

### RESUMO

Neste projeto é realizado o estudo comparativo das características elétricas de nanotransistores cilíndricos de efeito de campo (*Nanowire Gate-All-Around Field-Effect Transistors: NW-GAA-FET*), em regime de corrente contínua, entre nanofios constituídos de canais de Silício (Si) e de materiais semicondutores das famílias III-V, realizado na plataforma de simulação computacional COMSOL. Para este fim, calibrou-se o simulador por meio do contraste entre as curvas de corrente de dreno-fonte em função da tensão de porta-fonte simuladas com os resultados experimentais de um nanofio de silício de 100 nm de comprimento de canal, confeccionado por Yang. et al. (2008). Posteriormente, a análise computacional foi estendida para diversos canais semicondutores das famílias III-V: Antimoneto de Gálio (GaSb), Nitreto de Gálio (GaN), Arseneto de Gálio (GaAs) e Fosfeto de Índio (InP), considerando-se, também, diferentes materiais na constituição dos óxidos: Dióxido de Silício (SiO<sub>2</sub>), Nitreto de Silício (Si<sub>3</sub>N<sub>4</sub>) e Dióxido de Háfio (HfO<sub>2</sub>). Finalmente, foi realizada a análise comparativa de desempenho elétrico dos transistores a partir da extração das seguintes figuras de mérito: redução da barreira induzida pelo dreno (*Drain-Induced Barrier Lowering: DIBL*), inclinação de sublimiar (*Subthreshold Slope: SS*) e razão de estado ligado-desligado do nível da corrente (*on/off ratio: I<sub>ON</sub>/I<sub>OFF</sub>*). De acordo com os resultados obtidos, a substituição de SiO<sub>2</sub> por outro óxido resultou em um aumento máximo de duas ordens de grandeza (10.000%) na razão I<sub>ON</sub>/I<sub>OFF</sub> para o canal de InP, redução de 66% da DIBL para o canal de GaSb e redução na grandeza SS para todos os nanotransistores, atingindo valores próximos ao limite teórico para o canal de GaAs. Finalmente, embora materiais semicondutores de Si sejam encontrados em abundância no planeta, gerando dispositivos com baixo custo relativo, a substituição desse material por semicondutores das famílias III-V podem produzir dispositivos com maior chaveamento em frequência, maior nível de potência de saída e menor distorções nas formas de onda produzidas por esses transistores em regime de corrente alternada.

### INTRODUÇÃO

Dispositivos eletrônicos baseados em nanofios semicondutores, especificamente nanotransistores de efeito de campo (*Nanowire Gate-All-Around Field-Effect Transistors: NW-GAA-FET*) de silício (Si) e de materiais semicondutores das famílias III-V tem atraído grande interesse na pesquisa e desenvolvimento de aplicações voltadas aos setores de eletrônica e fotônica, em decorrência das características de operação elétrica desses materiais (YANG et al., 2008; PAUZAUSKIE; YANG, 2006; LU; XIE; LIEBER, 2008; RAZAVI; FAGAS, 2013; LARRIEU et al., 2017).

Todo esse avanço tecnológico só foi possível em virtude do amadurecimento registrado das técnicas de fabricação de nanofios nos últimos anos, as quais permitiram melhor controle na resolução do

crescimento de materiais, maior flexibilidade no processamento de amostras, maior liberdade para engenharia de materiais e dispositivos, entre outras características (SAMUELSON, 2003).

Por exemplo, Yang et al. (2008) reportou a confecção de um nanofio de silício exibindo excelentes características de transistores elétricos à temperatura ambiente. Posteriormente, Song et al. (2014) reportou a confecção de um nanotransistor de arseneto de gálio (GaAs) sem junção, visando aplicações em eletrônica de baixa potência.

Ambos os dispositivos citados (YANG et al., 2008; SONG et al., 2014) foram confeccionados com dióxido de silício ( $\text{SiO}_2$ ) como material de óxido, isto é, como isolante elétrico de separação entre o canal de condução de corrente e o terminal de porta (*gate*). Deve-se notar que a abundância do material semiconductor de silício encontrada no planeta permite o desenvolvimento de dispositivos de baixo custo relativo.

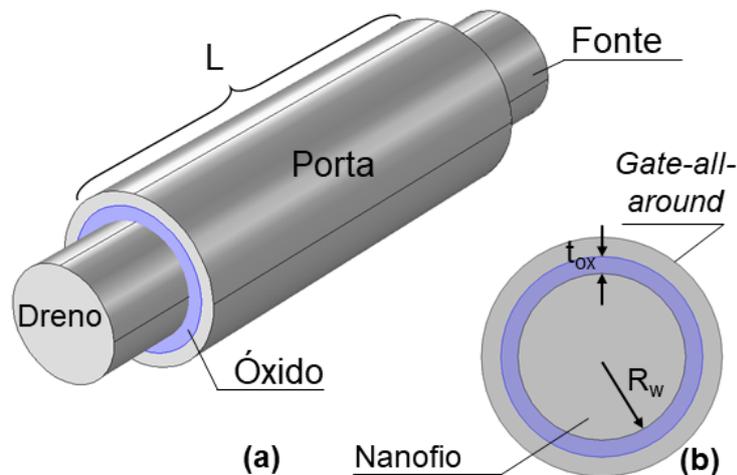
Mais recentemente, nanotransistores constituídos de isolantes elétricos com altos valores de constante dielétrica ( $k$ ) tem sido reportados na literatura técnica, com o intuito de propiciar o desempenho elétrico dos nanotransistores (CHATTERJEE; GUPTA; PANDEY, 2017). Contudo, não foi possível identificar na literatura técnica um estudo comparativo mais detalhado sobre as vantagens em potencial de diferentes materiais de canal de condução de corrente e de material óxido permeando o terminal de porta.

Neste contexto, é proposto neste trabalho um estudo comparativo sobre as características de operação elétrica em regime de corrente contínua de nanotransistores cilíndricos de efeito de campo (*Nanowire Gate-All-Around Field-Effect Transistors: NW-GAA-FET*) entre canais de silício (Si) e de materiais semicondutores das famílias III-V (GaSb, GaN, GaAs e InP), considerando, também, diferentes materiais óxidos permeando o terminal de controle:  $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$  e  $\text{HfO}_2$ . Simulações numéricas são realizadas na plataforma COMSOL, apoiadas por dados experimentais. Como resultados, foi observada uma redução máxima de 66% para a DIBL (canal de GaSb), valores de SS aproximando-se do limite teórico (canal de GaAs) e um aumento máximo de duas ordens de grandeza na razão  $I_{\text{ON}}/I_{\text{OFF}}$  (canal de InP). Desta forma, verificou-se que canais das famílias III-V exibem um desempenho superior aos nanotransistores de Si, bem como a substituição do  $\text{SiO}_2$  por óxidos com altos valores de constante dielétrica  $k$  leva à melhoria substancial nas figuras de mérito, propiciando um aumento na velocidade de chaveamento do dispositivo.

## METODOLOGIA

As ilustrações esquemáticas das estruturas geométrica e elétrica do dispositivo utilizadas para validar a plataforma computacional, a partir dos dados experimentais, são apresentadas na Figura 1. O canal (nanofio) do nanotransistor de silício é permeado cilíndricamente pelo terminal de porta (*gate*), enquanto os terminais de dreno (*drain*) e de fonte (*source*) estão localizados nas extremidades dos materiais.

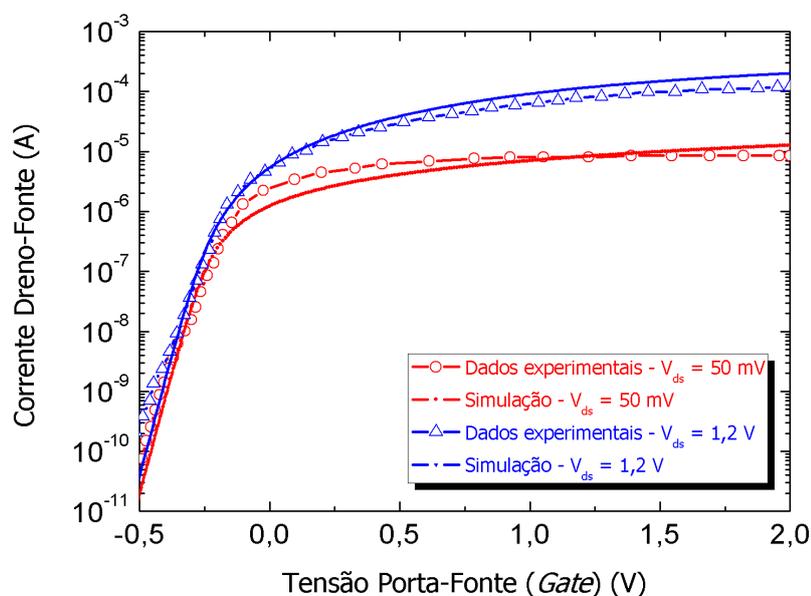
Utilizou-se o COMSOL *Multiphysics* versão 5.3a como plataforma de simulação dos nanotransistores. Em todas as avaliações, foram fixados os seguintes parâmetros em concordância aos dados experimentais (YANG et al., 2008): temperatura (293,15 K); concentração de dopantes aceitadores ( $10^{14} \text{ cm}^{-3}$ ); concentração de dopantes doadores ( $10^{18} \text{ cm}^{-3}$ ); espessura do óxido ( $t_{\text{ox}} = 5 \text{ nm}$ ); comprimento do canal ( $L = 100 \text{ nm}$ ) e raio do canal ( $R_w = 12,5 \text{ nm}$ ).



**Figura 1** - Ilustração esquemática dos nanotransistores simulados: (a) estruturas geométricas e elétricas e; (b) área de seção transversal.

## RESULTADOS E DISCUSSÕES

Com o intuito de verificar a consistência entre os dados simulados obtidos pelo COMSOL e os dados experimentais produzidos por Yang. et al. (2008), calibrou-se, inicialmente, a curva de corrente drenos-fonte em função da tensão porta-fonte para o nanotransistor com canal de silício constituído de oxido de silício, fixando os valores de tensão drenos-fonte ( $V_d$ ) em dois níveis: 50 mV e 1,2 V. As curvas contrastadas estão apresentadas na Figura 2.



**Figura 2** - Comparação entre Curvas I-V obtidas pela plataforma computacional e os dados experimentais reportados em Yang. et al. (2008).

Como pode ser notado pelos resultados da Figura 2, foi obtida uma excelente concordância entre os resultados simulados e os dados experimentais. Desta forma, os dados produzidos pelo simulador podem

ser considerados adequadamente ajustados, permitindo, assim, estender a análise para outros canais semicondutores e diferentes óxidos.

Neste contexto, após calibrar a plataforma computacional, foram extraídos os valores de DIBL, SS e a razão  $I_{ON}/I_{OFF}$  das curvas de corrente-tensão simuladas, assim como conduzido em (RAZAVI et al., 2012). Desta forma, a análise numérica foi expandida para diferentes óxidos ( $SiO_2$ ,  $Si_3N_4$ ,  $HfO_2$ ), bem como pela substituição do canal de Si pelos seguintes materiais semicondutores: GaSb, GaN, GaAs e InP. Os resultados desses estudos estão expostos na Tabela 1.

**Tabela 1** – Parâmetros extraídos das curvas de corrente-tensão simuladas para diferentes materiais de canal e óxidos.

Nanofio	Óxido de Porta – $SiO_2$ ( $k = 3.9$ )			
	DIBL (mV/V)	SS (mV/dec)	$I_{ON}/I_{OFF}$ $V_d = 50$ mV	$I_{ON}/I_{OFF}$ $V_d = 1.2$ V
Si	15,8	64,2	$1,1 \times 10^7$	$2,0 \times 10^8$
GaSb	22,9	62,9	$9,5 \times 10^7$	$1,7 \times 10^9$
GaN	15,5	62,2	$3,9 \times 10^7$	$6,7 \times 10^8$
GaAs	18,3	61,9	$3,0 \times 10^8$	$5,4 \times 10^9$
InP	17,6	62,0	$1,3 \times 10^6$	$1,1 \times 10^7$
Nanofio	Óxido de Porta – $Si_3N_4$ ( $k = 7.5$ )			
	DIBL (mV/V)	SS (mV/dec)	$I_{ON}/I_{OFF}$ $V_d = 50$ mV	$I_{ON}/I_{OFF}$ $V_d = 1.2$ V
Si	10,8	62,1	$2,2 \times 10^7$	$3,5 \times 10^8$
GaSb	12,4	60,9	$1,3 \times 10^8$	$2,3 \times 10^9$
GaN	7,2	60,7	$6,1 \times 10^7$	$6,8 \times 10^8$
GaAs	10,9	60,3	$3,8 \times 10^8$	$6,6 \times 10^9$
InP	10,3	60,4	$2,8 \times 10^6$	$4,6 \times 10^8$
Nanofio	Óxido de Porta – $HfO_2$ ( $k = 22$ )			
	DIBL (mV/V)	SS (mV/dec)	$I_{ON}/I_{OFF}$ $V_d = 50$ mV	$I_{ON}/I_{OFF}$ $V_d = 1.2$ V
Si	7,8	60,9	$4,6 \times 10^7$	$5,2 \times 10^8$
GaSb	7,8	59,7	$2,2 \times 10^8$	$4,1 \times 10^9$
GaN	7,1	60,1	$9,5 \times 10^7$	$1,6 \times 10^9$
GaAs	7,2	59,4	$8,4 \times 10^8$	$1,5 \times 10^{10}$
InP	7,1	59,5	$6,6 \times 10^7$	$1,1 \times 10^9$

Analisando-se os resultados apresentados na Tabela 2, a substituição de óxido de  $SiO_2$  resultou na redução de DIBL para todos os canais semicondutores, especificamente para o nanofio de GaSb (66%). O decréscimo do nível de DIBL propicia o controle da corrente de limiar do dispositivo em função da variação de tensão porta-fonte, reduzindo eventuais distorções nas formas de onda para sinais produzidos pelo transistor em regime de corrente alternada.

Para altos valores da constante dielétrica, o nível de SS decresce para todos os nanotransistores, especialmente para o nanofio de GaAs, atingindo valores de 59,4 mV/dec, os quais estão próximos ao limite teórico (58,2 mV/dec para temperatura de 293,15 K). Quanto menor o valor de SS, mais rápido será seu chaveamento elétrico e, conseqüentemente, maior será sua resposta em frequência.

Finalmente, de acordo com os dados apresentados na tabela 2, o aumento da constante dielétrica do óxido ( $k$ ) que permeia o canal do transistor leva à um acréscimo do nível de potência de saída do transistor: em destaque, foi registrado um aumento máximo de duas ordens de grandeza da razão  $I_{ON}/I_{OFF}$  para o canal de InP (de  $10^7$  à  $10^9$ ).

Tendo em vista as análises apresentadas, pode-se concluir que a substituição do canal de Si por materiais semicondutores das famílias III-V, bem como a reposição de SiO<sub>2</sub> por óxidos com altos valores de constante dielétrica, leva a uma melhoria significativa nos parâmetros de operação do transistor. Embora o silício seja um dos materiais semicondutores mais abundantes encontrados na Terra, sua substituição na fabricação de transistores obedeceria a alguns recursos específicos de projeto elétrico.

## CONCLUSÕES

Neste projeto foi realizado um estudo comparativo entre o desempenho de nanotransistores em regime de corrente contínua entre canais de Si e semicondutores das famílias III-V. De acordo com os resultados, verificou-se uma melhoria substancial no desempenho dos transistores (nível de potência de saída, controle da tensão de limiar e velocidade de chaveamento) com a substituição do Si por semicondutores das famílias III-V, bem como pela reposição de SiO<sub>2</sub> por óxidos com valores de *k* mais elevados.

O projeto ainda encontra-se em andamento. Desta forma, as próximas etapas dessa pesquisa objetivam o estudo comparativo dos nanotransistores em regime de corrente alternada em função de diferentes geometrias e composição das camadas semicondutoras do canal e óxidos, por meio da obtenção e análise das curvas de chaveamento do dispositivo.

## REFERÊNCIAS BIBLIOGRÁFICAS

- CHATTERJEE, Neel; GUPTA, Akriti; PANDEY, Sujata. III–V Junctionless Nanowire Transistor with High-k Dielectric Material and Schottky Contacts. **Journal of Nanoelectronics and Optoelectronics**, [s.l.], v. 12, n. 9, p.925-931, 1 set. 2017. American Scientific Publishers. <http://dx.doi.org/10.1166/jno.2017.2099>.
- LARRIEU, G. et al. Sub-15nm gate-all-around field effect transistors on vertical silicon nanowires. **Solid-state Electronics**, [s.l.], v. 130, p.9-14, abr. 2017. Elsevier BV. <http://dx.doi.org/10.1016/j.sse.2016.12.008>.
- LU, Wei; XIE, Ping; LIEBER, Charles M.. Nanowire Transistor Performance Limits and Applications. **IEEE Transactions on Electron Devices**, [s.l.], v. 55, n. 11, p.2859-2876, nov. 2008. Institute of Electrical and Electronics Engineers (IEEE). <http://dx.doi.org/10.1109/ted.2008.2005158>.
- PAUZAUSKIE, Peter J.; YANG, Peidong. Nanowire photonics. **Materials Today**, [s.l.], v. 9, n. 10, p.36-45, out. 2006. Elsevier BV. [http://dx.doi.org/10.1016/s1369-7021\(06\)71652-2](http://dx.doi.org/10.1016/s1369-7021(06)71652-2).
- RAZAVI, Pedram et al. Influence of channel material properties on performance of nanowire transistors. **Journal of Applied Physics**, [s.l.], v. 111, n. 12, 124509, 15 jun. 2012. AIP Publishing. <http://dx.doi.org/10.1063/1.4729777>.
- RAZAVI, Pedram; FAGAS, Giorgos. Electrical performance of III-V gate-all-around nanowire transistors. **Applied Physics Letters**, [s.l.], v. 103, n. 6, 063506, 5 ago. 2013. AIP Publishing. <http://dx.doi.org/10.1063/1.4817997>.
- SAMUELSON, Lars. Self-forming nanoscale devices. **Materials Today**, [s.l.], v. 6, n. 10, p.22-31, out. 2003. Elsevier BV. [http://dx.doi.org/10.1016/s1369-7021\(03\)01026-5](http://dx.doi.org/10.1016/s1369-7021(03)01026-5).
- SONG, Yi et al. III-V Junctionless Gate-All-Around Nanowire MOSFETs for High Linearity Low Power Applications. **IEEE Electron Device Letters**, [s.l.], v. 35, n. 3, p.324-326, mar. 2014. Institute of Electrical and Electronics Engineers (IEEE). <http://dx.doi.org/10.1109/led.2013.2296556>.

YANG, B. et al. Vertical Silicon-Nanowire Formation and Gate-All-Around MOSFET. **IEEE Electron Device Letters**, [s.l.], v. 29, n. 7, p.791-794, jul. 2008. Institute of Electrical and Electronics Engineers (IEEE). <http://dx.doi.org/10.1109/led.2008.2000617>.

### **Participação em Congressos, publicações e/ou pedidos de proteção intelectual:**

O desenvolvimento do presente trabalho culminou nos seguintes indicadores:

- **Trabalho completo publicado em anais de congresso:**

NOBREGA, R. V. T.; FONSECA, Y. M. ; COSTA, R. A. ; DUARTE, U. R. . Comparative Study on the Performance of Silicon and III-V Nanowire Gate-All-Around Field-Effect Transistors for Different Gate Oxides. In: **XIII Workshop on Semiconductors and Micro & Nano Technology - SEMINATEC 2018**, 2018, São Bernardo do Campo/SP. XIII Workshop on Semiconductors and Micro & Nano Technology. São Bernardo do Campo/SP: Centro Universitário FEI, 2018. v. 1. p. 9-10.

- **Resumo expandido publicado em anais de congresso:**

COSTA, R. A.; FONSECA, Y. M.; NOBREGA, R. V. T.; DUARTE, U. R. Layout de transistores semicondutores nanoestruturados para eletrônica de resposta em frequência ultrarrápida. In: **I Seminário de Pesquisa e Inovação - SemPI**, 2017, Formiga/MG. I Seminário de Pesquisa e Inovação. Formiga/MG: Instituto Federal de Minas Gerais - campus Formiga, 2017. v. 1, n. 1.